

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-299627

(43)Date of publication of application : 24.10.2000

(51)Int.Cl.

H03K 17/08  
G01R 19/165  
G01R 31/02  
H02H 3/087  
H02M 1/00  
H03K 17/687

(21)Application number : 2000-035736

(71)Applicant : YAZAKI CORP

(22)Date of filing : 14.02.2000

(72)Inventor : OSHIMA SHUNZO

(30)Priority

Priority number : 11074256

Priority date : 14.02.1999

Priority country : JP

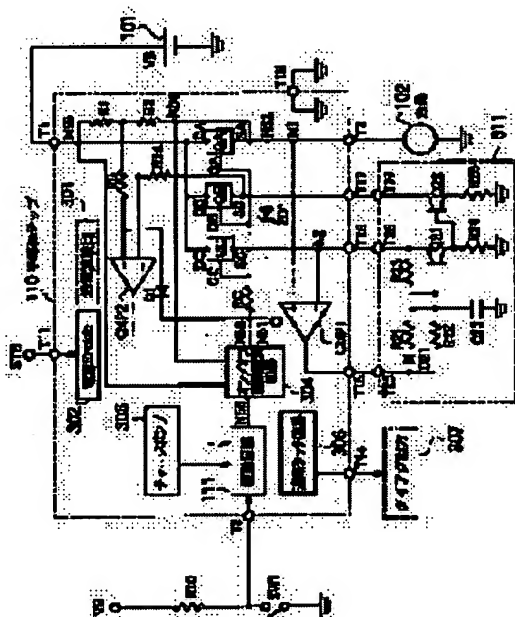
## (54) LOAD CURRENT DIFFERENTIAL DETECTION/CONTROL CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a load current differential detection/control circuit capable of breaking a current at high speed only when a load current is rapidly increased.

**SOLUTION:** This circuit is composed of at least first, second and third semiconductor devices QA, QB and QC, a first comparator CMP 1 connecting an input terminal to the first and third semiconductor devices QA and QC, a resistor R22 connected to the output terminal of the first comparator CMP 1, a capacitor C23 connected to this resistor R22, a fifth semiconductor device Q21 connecting a first main electrode to the third semiconductor device QC, connecting a control electrode to the resistor R22 and connecting a second ground resistor R24 to a second main electrode and a fourth semiconductor device Q22 connecting a first main electrode to the second semiconductor device QB and connecting a control electrode to the second main electrode of the fifth semiconductor device Q21. Only

when time differential  $di/dt$  of an abnormal current is greater than a prescribed value, a current vibration is generated by turning on/off the first semiconductor device QA.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-299627

(P2000-299627A)

(43)公開日 平成12年10月24日 (2000. 10. 24)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\* (参考)

H 0 3 K 17/08

H 0 3 K 17/08

C

G 0 1 R 19/165

G 0 1 R 19/165

L

31/02

31/02

H 0 2 H 3/087

H 0 2 H 3/087

H 0 2 M 1/00

H 0 2 M 1/00

H

審査請求 未請求 請求項の数 7 O L (全 15 頁) 最終頁に続く

(21)出願番号 特願2000-35736(P2000-35736)

(22)出願日 平成12年2月14日 (2000. 2. 14)

(31)優先権主張番号 特願平11-74256

(32)優先日 平成11年2月14日 (1999. 2. 14)

(33)優先権主張国 日本 (J P)

(71)出願人 000006895

矢崎総業株式会社

東京都港区三田1丁目4番28号

(72)発明者 大島 俊蔵

静岡県湖西市麓津2464-48 矢崎部品株式会社内

(74)代理人 100083806

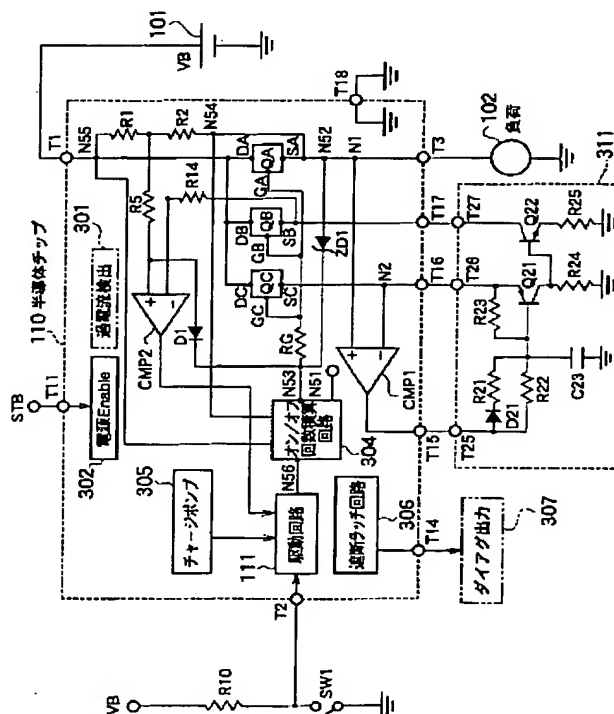
弁理士 三好 秀和 (外8名)

(54)【発明の名称】 負荷電流微分検出・制御回路

(57)【要約】

【課題】 急激な負荷電流の増加時のみにおいて、高速に電流を遮断出来る負荷電流微分検出・制御回路を提供する。

【解決手段】 第1、第2、第3半導体素子Q A、Q B、Q Cと、第1及び第3半導体素子Q A、Q Cに入力端子を接続した第1の比較器C M P 1と、第1の比較器C M P 1の出力端子に接続された抵抗R 2 2と、この抵抗R 2 2に接続されたコンデンサC 2 3と、第3半導体素子Q Cに第1の主電極、抵抗R 2 2に制御電極を接続し、第2の主電極に第2の接地抵抗R 2 4を接続した第5半導体素子Q 2 1と、第2半導体素子Q Bに第1の主電極、第5半導体素子Q 2 1の第2の主電極に制御電極を接続した第4半導体素子Q 2 2とから少なくともなる。異常電流の時間微分 $d i / d t$ が所定値以上の場合のみ、第1半導体素子Q Aをオン／オフ制御して電流振動を生成する。



## 【特許請求の範囲】

【請求項 1】第 1、第 2 の主電極及び制御電極とを有する第 1 半導体素子と、

前記第 1 半導体素子の第 1 の主電極、制御電極にそれぞれ接続された第 1 の主電極、制御電極と、第 2 の主電極とを有する第 2 半導体素子と、

前記第 1 半導体素子の第 1 の主電極、制御電極にそれぞれ接続された第 1 の主電極、制御電極と、第 2 の主電極とを有する第 3 半導体素子と、

前記第 1 半導体素子の第 2 の主電極に第 1 の入力端子を接続し、前記第 3 半導体素子の第 2 の主電極に第 2 の入力端子を接続した第 1 の比較器と、

前記第 1 及び第 2 半導体素子のそれぞれの第 2 の主電極間電圧を比較する第 2 の比較器と、

前記第 2 の比較器の出力に応じて、前記第 1 乃至第 3 半導体素子のそれぞれの制御電極に制御電圧を供給する駆動回路と、

前記第 2 半導体素子の前記第 2 の主電極に第 1 の信号端子を、前記第 3 半導体素子の前記第 2 の主電極に第 2 の信号端子を、前記第 1 の比較器の出力端子に第 3 の信号端子を接続した電流上昇率識別回路とから少なくともなり、前記第 1 半導体素子の第 2 の主電極に接続される負荷に流れる電流の時間微分を検出して、時間微分値が所定の値以上の場合のみについて前記第 1 半導体素子をオン／オフ制御して電流振動を生成し、この電流振動により、前記第 1 半導体素子の導通状態を遮断すること特徴とする負荷電流微分検出・制御回路。

【請求項 2】前記第 1 半導体素子、前記第 2 半導体素子、前記第 3 半導体素子、前記第 1 比較器、前記第 2 比較器及び前記駆動回路が同一半導体基板上に集積化されていることを特徴とする請求項 1 記載の負荷電流微分検出・制御回路。

【請求項 3】前記電流上昇率識別回路は前記第 3 の信号端子に一端が接続される、ダイオードと第 1 の抵抗との直列回路に並列接続された第 2 の抵抗 ( R 2 2 , R 3 2 ) とからなる並列回路と、

前記並列回路の他端と接地電位の間に接続されたコンデンサと、

前記第 1 の信号端子に第 1 の主電極を接続し、第 2 の主電極と接地電位との間に第 1 の接地抵抗を接続した第 4 半導体素子と、

前記第 2 の信号端子に第 1 の主電極、前記並列回路の他端に制御電極を接続し、第 2 の主電極を前記第 4 半導体素子の制御電極に接続し、更に、前記第 2 の主電極と接地電位との間に第 2 の接地抵抗を接続した第 5 半導体素子とからなることを特徴とする請求項 1 記載の負荷電流微分検出・制御回路。

【請求項 4】前記第 2 の抵抗は可変抵抗であり、前記コンデンサは可変コンデンサであることを特徴とする請求項 3 記載の負荷電流微分検出・制御回路。

【請求項 5】前記第 1 半導体素子の近傍に配置された温度センサと、

該温度センサに接続されたラッチ回路と、

該ラッチ回路に制御電極を接続した過熱遮断用トランジスタと、

該過熱遮断用トランジスタに制御電極を接続した主トランジスタと、

前記第 1 半導体素子の第 2 の主電極、前記温度センサに接続されたオン／オフ回数積算回路とを更に有し、該オン／オフ回数積算回路は、前記第 1 半導体素子のオン／オフ制御回数が所定回数に達したときに、前記第 1 半導体素子をターンオフすることを特徴とする請求項 1 乃至 4 のいずれか 1 項記載の負荷電流微分検出・制御回路。

【請求項 6】前記第 1、第 2 及び第 3 半導体素子は、互いに単位チャネル幅当たりの伝達コンダクタンスが等しい半導体素子であることを特徴とする請求項 1 乃至 5 のいずれか 1 項記載の負荷電流微分検出・制御回路。

【請求項 7】前記第 1 半導体素子の定格電流容量は、n を 2 以上の正の整数として、前記第 2 及び第 3 半導体素子の定格電流容量の n 倍であることを特徴とする請求項 6 記載の負荷電流微分検出・制御回路。

## 【発明の詳細な説明】

## 【0 0 0 1】

【発明の属する技術分野】本発明は、緩やかな負荷電流の変化には応答せず、急激な負荷電流の変化のみに応答する負荷電流の時間変化の検出可能な回路、即ち負荷電流微分検出・制御回路に関する。

## 【0 0 0 2】

【従来の技術】図 5 に示す異常電流検出・制御回路は、自動車においてバッテリーからの電源を選択的に各負荷に供給して、負荷への電力供給を温度センサ内蔵スイッチング素子 Q F により制御する回路である。図 5 に示す異常電流検出・制御回路は、出力電圧 V B を供給する電源 1 0 1 にシャント抵抗 R S の一端が接続され、その他端に温度センサ内蔵スイッチング素子 Q F のドレイン端子 D が接続されている。更に、温度センサ内蔵スイッチング素子 Q F のソース端子 S には、負荷 1 0 2 が接続されている。ここで、負荷 1 0 2 としては、自動車のヘッドライトやパワーウィンドウの駆動モータ等々該当する。図 5 に示す異常電流検出・制御回路は、更に、シャント抵抗 R S を流れる電流を検出して温度センサ内蔵スイッチング素子 Q F の駆動を制御するドライバ 9 0 1 と、ドライバ 9 0 1 でモニタした電流値に基づいて温度センサ内蔵スイッチング素子 Q F の駆動信号をオン／オフ制御する A / D 変換器 9 0 2 及びマイコン ( C P U ) 9 0 3 とを備えている。

【0 0 0 3】図 5 に示す異常電流検出・制御回路の第 1 半導体素子として動作する温度センサ内蔵スイッチング素子 Q F は、図 6 に示すようなモノリシックパワー I C の構造を有している。即ち、主 MOS トランジスタ Q

M、抵抗RG、温度センサ121、ラッチ回路122及び過熱遮断用MOSトランジスタQSを、同一半導体チップ上に搭載しており、温度センサ内蔵スイッチング素子QFの接合温度が規定以上の温度まで上昇した場合には、同一半導体チップ上に集積化されたゲート遮断回路によって温度センサ内蔵スイッチング素子QFを強制的にオフ制御する過熱遮断機能を備えている。つまり、主MOSトランジスタQMが規定以上の温度まで上昇したことが温度センサ121によって検出された場合には、その旨の検出情報がラッチ回路122に保持され、ゲート遮断回路としての過熱遮断用MOSトランジスタQSがオン動作となることによって、主MOSトランジスタQMを強制的にオフ制御する。ここで、温度センサ121はポリシリコン等で構成した4個のダイオードが直列接続されてなり、温度センサ121は主MOSトランジスタQMの近傍に集積化されている。主MOSトランジスタQMの温度が上昇するにつれて温度センサ121の4個のダイオードの順方向降下電圧が低下し、nMOSトランジスタQ51のゲート電位が“L”レベルとされる電位まで下がると、nMOSトランジスタQ51がオン状態からオフ状態に遷移する。これにより、nMOSトランジスタQ54のゲート電位が温度センサ内蔵スイッチング素子QFのゲート制御端子Gの電位にプルアップされ、nMOSトランジスタQ53がオフ状態となり、nMOSトランジスタQ52がオフ状態からオン状態に遷移して、ラッチ回路122に“1”がラッチされることとなる。このとき、ラッチ回路122の出力が“H”レベルとなって過熱遮断用MOSトランジスタQSがオフ状態からオン状態に遷移するので、主MOSトランジスタQMの真のゲートTGとソースS。間が短絡されて、主MOSトランジスタQMがオン状態からオフ状態に遷移して、過熱遮断されることとなる。

【0004】図5において、ZD1は温度センサ内蔵スイッチング素子QFのゲート端子Gとソース端子S間を12Vに保って、スイッチング素子QFに集積化された主MOSトランジスタQMの真のゲートTGに過電圧が印加されようとした場合にこれをバイパスさせるツェナーダイオードである。ドライバ901は、電流モニタ回路としての差動増幅器911、913と、電流制限回路としての差動増幅器912と、チャージポンプ回路915と、マイコン903からのオン/オフ制御信号及び電流制限回路からの過電流判定結果に基づき、内部抵抗RGを介して温度センサ内蔵スイッチング素子QFの真のゲートGを駆動する駆動回路914を備えて構成されている。シャント抵抗RSの電圧降下に基づき差動増幅器912を介して、電流が判定値(上限)を超えたとして過電流が検出された場合には、駆動回路914によって温度センサ内蔵スイッチング素子QFをオフ動作とし、その後電流が低下して判定値(下限)を下回ったら温度センサ内蔵スイッチング素子QFをオン動作させる。一

方、マイコン903は、電流モニタ回路(差動増幅器911、913)を介して電流を常時モニタしており、正常値を上回る異常電流が流れていれば、温度センサ内蔵スイッチング素子QFの駆動信号をオフすることにより温度センサ内蔵スイッチング素子QFをオフ動作させる。なお、マイコン903からオフ制御の駆動信号が出力される前に、温度センサ内蔵スイッチング素子QFの温度が規定値を超えていれば、スイッチング素子QF自身の過熱遮断機能によって温度センサ内蔵スイッチング素子QFはオフ動作となる。

#### 【0005】

【発明が解決しようとする課題】しかしながら、上記従来の異常電流検出・制御回路にあっては、電流検出を行うために電力の供給経路に直列接続されるシャント抵抗RSを必要とした構成であり、近年の負荷の大電流化により、シャント抵抗の熱損失が無視出来ないという問題点がある。

【0006】また、上述の過熱遮断機能や過電流制御回路は、負荷102や配線にほぼ完全な短絡状態が発生して大電流が流れる場合には機能するが、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生して小さい短絡電流が流れた場合には機能せず、電流のモニタ回路を介してマイコン903により異常電流を検出して温度センサ内蔵スイッチング素子QFをオフ制御するしかなく、このような異常電流に対するマイコン制御による応答性が悪いという事情もあった。

【0007】また、シャント抵抗RSやA/D変換器902、マイコン903等が必要であるため、大きな実装スペースが必要であり、またこれらの比較的高価な物品により装置コストが高くなってしまいう問題点もある。

【0008】更に、自動車のパワーウィンドウの駆動のように、摩擦係数が徐々に経時変化することによる負荷電流の増大と、パワーウィンドウに腕が挟まれた場合のように急激な負荷電流の増大とを瞬時に識別し、事故を未然に防ぐような動作の可能な過電流制御回路は知られていない。

【0009】本発明の目的は、上記従来の問題点や事情を解決することにより、簡単な構成で、緩やかな負荷電流の変化には応答せず、急激な負荷電流の変化のみに応答する負荷電流の時間微分 $di/dt$ の検出が可能な回路、即ち負荷電流微分検出・制御回路を提供することにある。

【0010】本発明の他の目的は、電流検出を行うために電力の供給経路に直接接続されるシャント抵抗を不要として装置の熱損失を抑えることのできる負荷電流微分検出・制御回路を提供することにある。

【0011】本発明のさらに他の目的は、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合や負荷電流の時間微分 $di/dt$ を検出して、時間

微分  $di/dt$  が大きい場合のみに高速応答出来る負荷電流微分検出・制御回路を提供することにある。

【0012】本発明のさらに他の目的は、集積化が容易で、安価な負荷電流微分検出・制御回路を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために本発明は、第1、第2の主電極及び制御電極とを有する第1半導体素子と、第1半導体素子の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第2半導体素子と、第1半導体素子の第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第3半導体素子と、第1半導体素子の第2の主電極に第1の入力端子を接続し、第3半導体素子の第2の主電極に第2の入力端子を接続した第1の比較器と、第1及び第2半導体素子のそれぞれの第2の主電極間電圧を比較する第2の比較器と、第2の比較器の出力に応じて、第1乃至第3半導体素子のそれぞれの制御電極に制御電圧を供給する駆動回路と、第2半導体素子の第2の主電極に第1の信号端子を、第3半導体素子の第2の主電極に第2の信号端子を、第1の比較器の出力端子に第3の信号端子を接続した電流上昇率識別回路とを少なくとも有する負荷電流微分検出・制御回路であることを特徴とする。そして、本発明の特徴に係る負荷電流微分検出・制御回路は、第1半導体素子の第2の主電極に接続される負荷に流れる電流の時間微分を検知して、時間微分値が所定の値以上の場合のみについて第1半導体素子をオン／オフ制御して電流振動を生成し、この電流振動により、第1半導体素子の導通状態を遮断する。ここで、第1乃至第3半導体素子としては、MOSFETやMOS静電誘導型トランジスタ(SIT)等のMOSトランジスタ(絶縁ゲート型トランジスタ:IGT)が使用可能である。また、エミッタスイッチド・サイリスタ(EST)、MOS制御サイリスタ(MCT)等のMOS複合型デバイスやIGBT等の他の絶縁ゲート型パワーデバイスが使用可能である。これらの半導体素子はnチャネル型でもpチャネル型でもかまわない。また「第1主電極」とは、IGBTにおいてはエミッタ電極又はコレクタ電極のいずれか一方、MOSFETやMOSSIT等のMOSトランジスタにおいてはソース電極又はドレイン電極のいずれか一方を意味する。「第2主電極」とは、IGBTにおいては上記第1主電極とはならないエミッタ電極又はコレクタ電極のいずれか一方、MOSトランジスタにおいては上記第1主電極とはならないソース電極又はドレイン電極のいずれか一方を意味する。即ち、第1主電極が、エミッタ電極であれば、第2主電極はコレクタ電極であり、第1主電極がソース電極であれば、第2主電極はドレイン電極である。また、「制御電極」とはIGBT及びMOSトランジスタのゲート電極

を意味することは勿論である。

【0014】本発明の負荷電流微分検出・制御回路を構成する第1半導体素子として例えばパワーMOSFETを使用した場合、電力供給経路の一部を成すパワーMOSFETの端子間電圧(ドレイン・ソース間電圧)は、オフ状態からオン状態へ遷移する際の(例えば、nチャネル型FETの場合の立ち下がり)電圧特性において、電力供給経路及び負荷のインピーダンス、即ち、経路が持つ配線インダクタンス並びに配線抵抗及び短絡抵抗に基づく時定数に応じて変化する。例えば、短絡が発生していない通常動作では所定電圧以下に速やかに収れんするが、完全短絡が発生している場合には所定電圧以下にならない。また、ある程度の短絡抵抗を持つ不完全短絡が発生している場合には、所定電圧に収れんするものの、収れんするまでに長い時間を要する。

【0015】本発明の負荷電流微分検出・制御回路は、このようなオフ状態からオン状態に遷移する際の過渡的な半導体素子の電圧特性を利用している。つまり、第1半導体素子の端子間電圧と第2半導体素子の端子間電圧(基準電圧)との差を検出することによって、電力供給経路の一部を成す第1半導体素子の端子間電圧(即ち、電力供給経路の電流)が正常状態から逸脱している程度を判定する際に、その正常状態から逸脱している程度が急激な変化であるか穏やかな変化であるかを考慮して、急激な変化であると判断された場合のみについて第1半導体素子の導通状態を遮断する。即ち、電流の変化が穏やかであれば、カレントミラー回路を構成する第1半導体素子の第2の主電極の電位と、第2半導体素子の第2の主電極の電位とが等しくなるが、急激な変化の場合には、このカレントミラー回路の電位の一致が取れないようにすることにより、第1半導体素子の導通状態を遮断するものである。本発明の負荷電流微分検出・制御回路においては、電流検出を行うために電力の供給経路に直列接続される従来のようなシャント抵抗は不要である。また、完全短絡による過電流のみならず、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流をも、電流の時間微分(電流上昇率)  $di/dt$  を考慮して簡単に検出可能である。

【0016】具体的には、本発明の負荷電流微分検出・制御回路に用いる「電流上昇率識別回路」は、第3の信号端子に一端が接続されるダイオードと第1の抵抗との直列回路に並列接続された第2の抵抗とからなる並列回路と、並列回路の他端と接地電位の間に接続されたコンデンサと、第1の信号端子に第1の主電極を接続し、第2の主電極と接地電位との間に第1の接地抵抗を接続した第4半導体素子と、第2の信号端子に第1の主電極、並列回路の他端に制御電極を接続し、第2の主電極を第4半導体素子の制御電極に接続し、更に、第2の主電極と接地電位との間に第2の接地抵抗を接続した第5半導体素子とから構成すれば良い。ここで、第2の抵抗を可

変抵抗としても良く、コンデンサを可変コンデンサとしても良い。

【0017】本発明の負荷電流微分検出・制御回路に用いる「第1半導体素子」は、温度センサと、この温度センサに接続されたラッチ回路と、このラッチ回路に制御電極を接続した過熱遮断用トランジスタと、この過熱遮断用トランジスタに制御電極を接続した主トランジスタとからなる温度センサ内蔵スイッチング素子で構成することが可能である。

【0018】更に、第1半導体素子の第2の主電極、温度センサに接続されたオン／オフ回数積算回路を有するようにしても良い。こうすれば、このオン／オフ回数積算回路により、第1半導体素子のオン／オフ制御回数が所定回数に達したときに、第1半導体素子をターンオフするように構成出来る。

【0019】本発明の負荷電流微分検出・制御回路に用いる第1、第2及び第3半導体素子は、互いに単位長さ（単位チャネル幅）当たりの伝達コンダクタンスが等しい半導体素子とすれば良い。そして、第1半導体素子の定格電流容量は、 $n$ を2以上の正の整数として、第2及び第3半導体素子の定格電流容量の $n$ 倍であるようにして、カレントミラー回路を構成すれば良い。

【0020】なお、電流上昇率識別回路の第4半導体素子を $n p n$ 型バイポーラトランジスタで、第5半導体素子を $p n p$ 型バイポーラトランジスタで構成することが可能である。

【0021】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態としての負荷電流微分検出・制御回路を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【0022】本発明の実施の形態に係る負荷電流微分検出・制御回路は、図1に示すように、入力用端子T1に接続された第1の主電極、出力用端子T3に接続された第2の主電極及び制御電極とを有する第1半導体素子QAと、第1半導体素子QAの第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第2半導体素子QBと、第1半導体素子QAの第1の主電極、制御電極にそれぞれ接続された第1の主電極、制御電極と、第2の主電極とを有する第3半導体素子QCと、第1半導体素子QAの第2の主電極に第1の入力端子を接続し、第3半導体素子QCの第2の主電極に第2の入力端子を接続した第1の比較器CMP1と、第1及び第2半導体素子のそれぞれの第2の主電極間電圧を比較する第2の比較器CMP2、第2の比較器CMP2の出力に応じて、第1乃至第3半導体素子QA、QB、QCのそれぞれの制御電極GA、GB、GCに制御電圧を供給する駆動回路111と、第2半導体素子QBの第2の主電極SBに第1の信号端子T27を、第3半導体素子QCの第2の主電極SCに第2の信

号端子T26を、第1の比較器CMP1の出力端子に第3の信号端子T25を接続した電流上昇率識別回路311とから少なくともなるパワーICである。ここで、電流上昇率識別回路311は、第3の信号端子T25に一端が接続されるダイオードD21と第1の抵抗R21との直列回路に並列接続された第2の抵抗R22とからなる並列回路と、並列回路の他端と接地電位(GND)の間に接続されたコンデンサC23と、第1の信号端子T27に第1の主電極を接続し、第2の主電極と接地電位との間に第1の接地抵抗R25を接続した第4半導体素子Q22と、第2の信号端子T26に第1の主電極、並列回路の他端に制御電極を接続し、第2の主電極を第4半導体素子Q22の制御電極に接続し、更に、第2の主電極と接地電位との間に第2の接地抵抗R24を接続した第5半導体素子Q21とから構成されている。

【0023】このような回路構成により、本発明の実施の形態としての負荷電流微分検出・制御回路は、出力用端子T3に接続される負荷102に流れる異常電流の時間微分 $di/dt$ を検知して、時間微分値が所定の値以上の場合のみについて第1半導体素子（第1半導体素子）QAをオン／オフ制御して電流振動を生成し、この電流振動の回数を積算することにより、入力用端子T1と出力用端子T3との間の導通状態を遮断する。そして、本発明の実施の形態に係る負荷電流微分検出・制御回路は、第1半導体素子（パワーデバイス）QAと、この第1半導体素子QAを遮断する制御回路とを同一基板上に集積化したパワーICの構成をしている。

【0024】電流振動の回数を積算するために、本発明の負荷電流微分検出・制御回路は、図2に示すオン／オフ回数積算回路304を更に有している。即ち、このオン／オフ回数積算回路304は、負荷に異常が発生したときに、一定時間後（回数積算が所定回数に達した後）、第1半導体素子QAを遮断できる回路である。オン／オフ回数積算回路304は、図6のノードN51、及び図1のノードN52、N53、N54、N55、N56に接続されている。この構成により、例えば、パワーウインドに挟み込み等の負荷異常が発生し、負荷電流が急増したときには、第1半導体素子QAがオン／オフ動作する。第1半導体素子QAをオン／オフ動作させることにより、モータ駆動力を制限する。そして、挟み込み状態が一定時間継続したら、負荷102に相当するモータを停止させて、パワーウインドのガラスの上昇による挟み込み力の増大を防止することが出来る。

【0025】オン／オフ回数積算回路304において、図6のノードN51には、ダイオードD32が接続されている。そして、このダイオードD32には、 $n$ MOSトランジスタQ31が接続され、 $n$ MOSトランジスタQ31のゲート電極と接地電位(GND)間には、コンデンサC31及び抵抗R33が並列接続されている。図1のノードN53には、抵抗R30が接続され、この抵



抗R30とnMOSトランジスタQ31の間には、抵抗R31が接続されている。図1のノードN55とnMOSトランジスタQ31のゲート電極との間には、pnp型バイポーラ・トランジスタQ32、Q34及び抵抗R32とからなる直列接続回路が挿入されている。pnp型バイポーラ・トランジスタQ32のベース電極と抵抗R31間には、抵抗R36と逆流阻止用ダイオードD31とからなる直列接続回路が挿入されている。pnp型バイポーラ・トランジスタQ34のベース電極と接地電位(GND)間には、抵抗R35とnpn型バイポーラ・トランジスタQ33とからなる直列接続回路が挿入されている。図1のノードN54は、pnp型バイポーラ・トランジスタQ32のコレクタ電極とpnp型バイポーラ・トランジスタQ34のエミッタ電極の接続点に接続されている。そして、更に、ノードN54とnpn型バイポーラ・トランジスタQ33のベース電極間には、ツェナーダイオードZD31、抵抗R34、及びダイオードD33とからなる直列接続回路が挿入されている。そして、npn型バイポーラ・トランジスタQ33のベース電極・エミッタ間には、抵抗R37が接続されている。

【0026】図2に示すオン/オフ回数積算回路304は、オン/オフ動作している場合は、ゲート駆動オフのとき、第1半導体素子QAのソース電極に電位が発生するので、これを検出して、継続時間を積算する。ゲート駆動オフのときは、pnp型バイポーラ・トランジスタQ32がターンオンする。このとき、第1半導体素子QAのソース電極に電位が発生すると、ツェナーダイオードZD31、抵抗R34、ダイオードD33及び抵抗R37とからなる直列接続回路を介して接地電位(GND)に電流が流れ、npn型バイポーラ・トランジスタQ33がターンオンする。npn型バイポーラ・トランジスタQ33がターンオンすると、pnp型バイポーラ・トランジスタQ34がターンオンする。pnp型バイポーラ・トランジスタQ34がターンオンすれば、pnp型バイポーラ・トランジスタQ32、Q34、抵抗R32、及びコンデンサC31とからなる直列接続回路を介して接地電位(GND)に電流が流れ、コンデンサC31が充電される。

【0027】nMOSトランジスタQ31のゲート電位は最初はしきい値以下なのでオフ状態にあるが、コンデンサC31の充電に伴ってゲート電位が上昇するとnMOSトランジスタQ31はオン状態に移る。nMOSトランジスタQ31がオン状態に移ると、図6に示した温度センサ121のアノード側のノードN51が引き下げられるので、高温状態と同じ条件となって過熱遮断用MOSトランジスタQSがオン状態に移り、第1半導体素子QAを遮断する。

【0028】本発明の負荷電流微分検出・制御回路を構成するパワーICとしては、種々の形態が採用可能であ

る。例えば、第1乃至第3半導体素子QA、QB、QC、第1及び第2の比較器CMP1、CMP2及び駆動回路111を同一半導体チップ110上に集積化して、モノリシック・パワーICの構成でも良い。更に、第1乃至第3半導体素子QA、QB、QC、第1及び第2の比較器CMP1、CMP2、駆動回路111及び電流上昇率識別回路311を、すべて同一半導体チップ110上に集積化すれば、極めて軽量・小型なモノリシック・パワーICが実現出来る。或いは、第1乃至第3半導体素子QA、QB、QC、第1及び第2の比較器CMP1、CMP2、及び駆動回路111を同一の半導体チップ110上に集積化し、電流上昇率識別回路311を、この半導体チップとは異なる他の半導体チップ311上に集積化し、半導体チップ110及び他の半導体チップ311を同一の回路基板(実装基板)上に実装した、マルチチップモジュール(MCM)の構成やハイブリッドICの構成でもかまわない。この場合、回路基板(実装基板)として、セラミック、ガラスエポキシ等の絶縁性基板や絶縁金属基板等が使用可能である。入力用端子T1及び出力用端子T3は、回路基板(実装基板)上の実装配線の上に、ボンディングワイヤ等で1次実装の形で接続しても良く、半導体チップ110をセラミック基板上にマウントし、このセラミック基板上の配線にボンディングワイヤ等で接続した後に、半田付け等の2次実装の形で実装配線と接続しても良い。また、ハイブリッドICとしては、第1乃至第3半導体素子QA、QB、QC、第1及び第2の比較器CMP1、CMP2、及び駆動回路が同一の半導体チップ110上にモノリシックに集積化し、第4半導体素子Q22及び第5半導体素子Q21を、個別素子として、同一の回路基板(実装基板)上に、半導体チップ110と共に実装する構成でもかまわない。

【0029】また、必ずしも、第1乃至第3半導体素子QA、QB、QC、第1及び第2の比較器CMP1、CMP2、及び駆動回路のすべてが同一の半導体チップ110上にある必要はない。例えば、第1乃至第3半導体素子QA、QB、QCを個別素子として、回路基板(実装基板)上に、第1及び第2の比較器CMP1、CMP2、及び駆動回路が集積化された半導体チップ110と共に実装する構成でもかまわない。例えば、第1半導体素子(第1半導体素子)QAが、100Aクラスから数1000Aクラス以上の大電力用デバイスであれば、放熱設計上、第1半導体素子QAは、個別素子として、独立に実装した方が好ましい場合がある。

【0030】本発明の負荷電流微分検出・制御回路の第1半導体素子(パワーデバイス)QAとしては、感熱遮断機能を有した半導体スイッチング素子が好ましい。この感熱遮断機能を有した第1半導体素子QAとしては、例えば、図6に示した温度センサ内蔵スイッチング素子QFと等価な回路構成の個別素子を用いることも可能で



ある（但し、この場合、第1半導体素子QAは、厳密には、個別素子というよりも、図6に示した回路構成のモノリシック・パワーICである。）。従って、この第1半導体素子QAを、第1半導体素子QAの制御回路を搭載した他の半導体チップと共に、回路基板（実装基板）に実装したハイブリッドICの構成でもかまわない。

【0031】ハイブリッドICの構成では、回路基板（実装基板）の入力用リード端子等を介して、入力用端子T1に、電源電圧VBが、電源101から供給される。また、出力用リード端子等を介して、出力用端子T3に、所定の負荷102が接続される。また、モノリシックICの構成であれば、セラミック基板等を有したパッケージの入力用リード端子等を介して、入力用端子T1に電源電圧VBが電源101から供給され、出力用リード端子等を介して、出力用端子T3に所定の負荷102が接続される。これらのハイブリッドICやモノリシックICにおいて、更に樹脂モールドや、金属ケースを用いても良いことは勿論である。

【0032】なお、本発明の負荷電流微分検出・制御回路を構成するモノリシックパワーICにおいては、感熱遮断機能に必要な回路素子のレイアウト構成は、半導体チップ上の表面配線の幅や素子分離領域の構造を含めた総合的なレイアウト設計により定められる。つまり、図6に示す感熱遮断機能に必要な回路素子は、図2に示したオン/オフ回数積算回路304等の他の機能に必要な回路素子のレイアウトと共に同一半導体チップ上に最適化される。なお、オン/オフ回数積算回路304を具備した場合は、第1半導体素子QAに、必ずしも、温度センサは必須ではないので、単純な個別素子でも良い。

【0033】さて、本発明の負荷電流微分検出・制御回路に用いる第1半導体素子QAとしては、例えば、DMOS構造、VMOS構造、或いはUMOS構造のパワーMOSFETやこれらと類似な構造のMOSSITが使用可能である。また、ESTやMCT等のMOS複合型デバイスやIGBT等の他の絶縁ゲート型パワーデバイスが使用可能である。更に、常にゲートを逆バイアスで使うのであれば、接合型FET、接合型SITやSISイリスタ等も使用可能である。いずれにしても、第1半導体素子QAは、nチャネル型でもpチャネル型でもかまわない。従って、図1に示す本発明の実施の形態に係るパワーICは、nチャネル型及びpチャネル型の両方が存在する。

【0034】以下においては、同一半導体チップ110上に、図1に示すような第1半導体素子QA等の所定の回路素子が、モノリシックに集積化されたnチャネル型パワーICについて説明する。即ち、第1半導体素子QAは、例えば、図6に示すような主素子（パワーデバイス）QM、この主MOSトランジスタQMの真のゲートに接続した抵抗RG、温度センサ121、温度センサ121にゲートを接続したnMOSトランジスタQ51、

このnMOSトランジスタQ51の出力側に接続されたラッチ回路122及びラッチ回路122の出力側にゲートを接続した過熱遮断用MOSトランジスタQSを具備した半導体チップ110上の回路である。従って、第1半導体素子QAの第1及び第2主電極は、それぞれ、この第1半導体素子QAを構成する主素子（パワーデバイス）の第1及び第2主電極領域に接続されている。「第1主電極領域」とは、IGBTにおいてエミッタ領域又はコレクタ領域のいずれか一方、パワーMOSFETやパワーMOSSIT等のパワーMOSトランジスタにおいてはソース領域又はドレイン領域のいずれか一方を意味する。「第2主電極領域」とは、IGBTにおいては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方、パワーMOSトランジスタにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方を意味する。即ち、第1主電極領域が、エミッタ領域であれば、第2主電極領域はコレクタ領域であり、第1主電極領域がソース領域であれば、第2主電極領域はドレイン領域である。また、「制御電極」とはIGBT及びパワーMOSトランジスタのゲート電極を意味することは勿論である。第1半導体素子QAと同様な電流電圧特性を有する第2及び第3半導体素子QB、QCについても、同様に「主電極」及び「制御電極」が定義される。この第1半導体素子QAの主素子QMは、例えば、複数個のユニットセル（単位セル）が並列接続されたマルチ・チャネル構造のパワーデバイスを採用すれば良い。

【0035】主素子QMとして、図6に示すようなMOSトランジスタが用いられている場合を例に説明する。図6においては、過熱遮断用MOSトランジスタQSの出力側に主素子（主MOSトランジスタ）QMの真のゲートが接続されている。主MOSトランジスタQMは、複数個のユニットセル（単位セル）が並列接続されたマルチ・チャネル構造のパワーMOSトランジスタである。そして、この主MOSトランジスタ（パワーデバイス）QMに並列接続されるように、第2及び第3半導体素子QB、QCが、隣接する位置に配置されている。この結果、第1半導体素子QAと第2及び第3半導体素子QB、QCとが、同一半導体チップ110上に集積化されている。この第2及び第3半導体素子QB、QCには、温度センサ、ラッチ回路或いは過熱遮断用MOSトランジスタQS等の基準デバイスを過熱遮断するための回路は必須ではない。第2及び第3半導体素子QB、QCが、第1半導体素子QA（主MOSトランジスタQM）と同一プロセスで、隣接位置に配置されているので、温度ドリフトやロット間の不均一性の影響による互いの電気的特性のバラツキを除去（削減）できる。第2及び第3半導体素子QB、QCの電流容量が主MOSトランジスタQMの電流容量よりも小さくなるように、第2及び第3半導体素子QB、QCを構成する並列接続の

ユニットセル数を調整している。例えば、第2及び第3半導体素子QB、QCのユニットセル数1に対して、第1半導体素子QA（主MOSトランジスタQM）のユニットセル数nを1000となるように構成することにより、第2及び第3半導体素子QB、QCと第1半導体素子QAのチャネル幅Wの比を1:n（n=1000）としている。また、温度センサ121は、第2及び第3半導体素子QB、QC及び第1半導体素子QAの上部に形成された層間絶縁膜の上部に堆積されたポリシリコン薄膜からなるpn接合ダイオード等で構成されている。即ち、複数のポリシリコンダイオードが直列接続された温度センサ121が、主MOSトランジスタQMのチャネル領域の近傍の位置に集積化されている。

【0036】このような構成において、主MOSトランジスタQMの接合温度が上昇し、半導体チップ110の表面の温度が上昇すれば、この温度上昇に従い、温度センサ121の順方向降下電圧が低下する。即ち、複数の直列接続されたダイオードの両端の電圧が低下するので、nMOSトランジスタQ51のゲート電位が“L”レベルとされる電位まで下がり、nMOSトランジスタQ51がオン状態からオフ状態に移移する。これにより、nMOSトランジスタQ54のゲート電位が第1半導体素子QAのゲート制御端子Gの電位にプルアップされ、nMOSトランジスタQ54がオフ状態からオン状態に移移して、ラッチ回路122に“1”がラッチされることとなる。このとき、ラッチ回路122の出力が“H”レベルとなって過熱遮断用MOSトランジスタQSがオフ状態からオン状態に移移する。この結果、主MOSトランジスタQMの真のゲートTGとソースS間が短絡されて、主MOSトランジスタQMがオン状態からオフ状態に移移し、第1半導体素子QAの過熱遮断動作が完了することとなる。

【0037】本発明の負荷電流微分検出・制御回路は、より具体的には、図1に示すように、第2及び第3半導体素子QB、QC、抵抗R1、R2、R5、R14、RG、ツェナーダイオードZD1、ダイオードD1、第2の比較器CMP2、駆動回路111、第1半導体素子QAの第2の主電極（ソース電極）に第1の入力端子を接続し、第3半導体素子QCの第2の主電極（ソース電極）に第2の入力端子を接続した第1の比較器CMP1とを、第1半導体素子QAと共に同一半導体基板（半導体チップ）110上にモノリシックに搭載している。図1において、ZD1は第1半導体素子QAのゲート端子Gとソース端子S間を12Vに保って、主MOSトランジスタQMの真のゲートTGに過電圧が印加されようとした場合にこれをバイパスさせるツェナーダイオードである。更に半導体チップ110の周辺部には、第1の比較器CMP1の第2の入力端子に接続された入／出力端子T16、第1の比較器CMP1の出力端子に接続された入／出力端子T15、第2半導体素子QBの第2の主

電極（ソース電極）に接続された入／出力端子T17及び駆動回路111の入力端子に接続された入／出力端子T2等が、ボンディングパッドとして配置されている。これらのボンディングパッドは、シリコン酸化膜（SiO<sub>2</sub>膜）、PSG膜、BPSG膜、シリコン窒化膜（Si<sub>3</sub>N<sub>4</sub>）等の層間絶縁膜の上に設けられた、厚さ1乃至10μmのアルミニウム（Al）膜、若しくはアルミニウム合金膜であり、金（Au）若しくはアルミニウムのボンディングワイヤで、回路基板上的実装配線に接続されている。

【0038】図1に示すように、入／出力端子T15には、電流上昇率識別回路311の第3の信号端子T25が接続されている。そしてこの第3の信号端子T25には、ダイオードD21と第1の抵抗R21との直列回路に並列接続された第2の抵抗R22とからなる並列回路が接続されている。この並列回路の他端と接地電位（GND）との間には、コンデンサC23が接続されている。更に、入／出力端子T16に、電流上昇率識別回路311の第2の信号端子T26が接続されている。第2の信号端子T26には、第1の主電極、並列回路の他端に制御電極を接続し、第2の主電極と接地電位との間に第2の接地抵抗R24を接続した第5半導体素子Q21が設けられている。そして、入／出力端子T17には、電流上昇率識別回路311の第1の信号端子T27が接続されている。第1の信号端子T27には、第1の主電極、第5半導体素子Q21の第2の主電極に制御電極を接続し、第2の主電極と接地電位との間に第1の接地抵抗R25を接続した第4半導体素子Q22が配置されている。入／出力端子T2には抵抗R10及びスイッチSW1が接続されている。

【0039】既に述べたように、本発明の負荷電流微分検出・制御回路としては、種々の形態が採用可能である。従って、入／出力端子T15、16、17と信号端子T25、26、27との間は種々の形態での接続が可能である。例えば、電流上昇率識別回路311を含めて、すべてを同一半導体チップ110上に集積化したモノリシックパワーICの構造においては、これらは半導体チップ上のアルミニウム（Al）やアルミニウム合金（Al-Si、Al-Cu-Si）等の金属配線で接続される。一方、マルチチップモジュール（MCM）の構成やハイブリッドICの構成では、入／出力端子T15、16、17と信号端子T25、26、27との間は、ボンディングワイヤ、或いは実装配線を介して接続される。このように、採用するパワーICの形態に応じて、電流上昇率識別回路311を構成するダイオードD21、抵抗R21～25、コンデンサC23、半導体素子Q21、Q22は、そのすべて、又は一部が半導体チップ110の上に、モノリシックに集積化される。モノリシックに集積化する場合は、ダイオードD21や、半導体素子Q21、Q22は、半導体チップ110の表面

に所定のpn接合構造を構成すれば良く、抵抗R21～25は、ポリシリコン抵抗でも、拡散抵抗でもかまわない。

【0040】なお、電流上昇率識別回路311を構成する第5半導体素子(pnp型バイポーラ・トランジスタ)Q21及び第4半導体素子(npn型バイポーラ・トランジスタ)Q22は、不飽和領域で動作するようにバイアスされている。

【0041】そして、この本発明の実施の形態に係るパワーICは、ユーザ等が、図1に示した入/出力端子T2に接続されたスイッチSW1をオンさせることにより機能する。ブラックボックス111として示し、詳細な回路構成の図示を省略しているが、駆動回路111には、コレクタ側がチャージポンプ305から供給された電位VPに接続されたソーストランジスタ(npn型バイポーラ・トランジスタ)と、エミッタ側が接地電位(GND)に接続されたシンクトランジスタ(npn型バイポーラ・トランジスタ)とを直列接続して備えている。従って、スイッチSW1のオン/オフ切換えによる切換え信号に基づき、駆動回路111は、ソーストランジスタ及びシンクトランジスタをオン・オフ制御して、第1乃至第3半導体素子QA、QB、QCのそれぞれの制御電極にこれらを駆動制御する信号を出力する。バイポーラ・トランジスタの代わりにMOSトランジスタで駆動回路111を構成しても良い。電源101の出力電圧(電源電圧)VBは、例えば12Vで、チャージポンプ305の出力電圧VPは、例えばVB+10Vである。

【0042】図1に示すように、第1半導体素子QAの第1主電極(ドレイン電極)と第2及び第3半導体素子QB、QCの第1主電極(ドレイン電極)とはすべて共通の入力用端子T1に接続され同電位に維持されている。例えば、第1乃至第3半導体素子QA、QB、QCが、DMOS構造、VMOS構造、或いはUMOS構造等の縦型構造であれば、p型基板中に設けられた共通のn型埋め込みドレイン領域で、同電位にすることが出来る。そして、p型シンカー領域により表面に導き出し、アルミニウム(Al)等の金属配線で、共通の入力端子T1となるボンディングパッドまで導けば良い。第1乃至第3半導体素子QA、QB、QCが、平面型(横型)のMOSトランジスタであれば、アルミニウム(Al)等の金属配線で互いに接続し、更に、共通の入力端子T1となるボンディングパッドまで導けば良い。第1の接地抵抗R25及び第2の接地抵抗R24のそれぞれの抵抗値は、第2及び第3半導体素子QB、QCと第1半導体素子QMのチャネル幅Wの比を考慮して選定すれば良い。また、第1の比較器CMP1の“+”入力端子に接続されるノードN1の電位V<sub>+</sub>及び“−”入力端子に接続されるノードN2の電位V<sub>−</sub>の大小の関係が重要となる。第2の接地抵抗R24の抵抗値は、V<sub>+</sub>=V<sub>−</sub>の場

合において、第5半導体素子Q21のエミッタ電流が、第1半導体素子のドレイン電流I<sub>DQA</sub>の1/1000となり、ドレイン電流I<sub>DQA</sub>の動作範囲内の最大電流でも第5半導体素子Q21が飽和しないように選定される。第2の接地抵抗R24の抵抗値として大きな値が選定できれば、制御精度は高くなる。逆に、第2の接地抵抗R24の抵抗値として小さな値を選定すると、制御精度は低くなる。この第1の接地抵抗R25及び第2の接地抵抗R24の設定により、第1半導体素子QAに異常動作の過負荷電流が流れたときと同じドレイン・ソース間電圧V<sub>DS</sub>を第2及び第3半導体素子QB、QCに発生させることが出来る。

【0043】第1半導体素子QAの第1主電極(ドレイン電極)と第2主電極(ソース電極)間には抵抗R1と抵抗R2との直列回路が接続されている。図1に示す第2の比較器CMP2の“+”入力端子には、第1半導体素子QAの主電極間電圧(ドレイン・ソース間電圧)V<sub>DS</sub>を抵抗R1と抵抗R2とで分圧した電圧が抵抗R5を介して供給されている。また、第2の比較器CMP2の“−”入力端子には、第2半導体素子QBのソース電圧VSが供給されている。つまり、“+”入力端子の信号レベルV<sub>+</sub>が“−”入力端子の信号レベルV<sub>−</sub>より高い場合には、第2の比較器CMP2の出力は、“H”レベルとなり、駆動回路111は、ゲートGA、GB、GCに電圧を供給する。逆に、“+”入力端子の信号レベルV<sub>+</sub>が“−”入力端子の信号レベルV<sub>−</sub>より低い場合には、第2の比較器CMP2の出力は、“L”レベルとなり、駆動回路111は、ゲート駆動をオフする。なお、後述のように、第2の比較器CMP2は一定のヒステリシスを持っている。

【0044】図4は、第1半導体素子QAに着目した、概念的な等価回路図である。第1半導体素子としての第1半導体素子QAの等価回路を、等価電流源g<sub>m</sub>・v<sub>i</sub>、ドレイン抵抗r<sub>d</sub>、ゲート・ソース間容量C<sub>GS</sub>、ゲート・ドレイン間容量C<sub>GD</sub>及びドレイン・ソース間容量C<sub>DS</sub>を用いて簡略化して示している。ここで、g<sub>m</sub>は、第1半導体素子QAの伝達コンダクタンスである。この第1半導体素子QAの等価回路を使用した場合、電源101から負荷102への電力供給経路は、図4に示すような回路として表される。負荷102には電力供給経路の配線インダクタンスL0と配線抵抗R0とが含まれる。

【0045】本発明の負荷電流微分検出・制御回路の第2半導体素子QBと第1半導体素子QA(主MOSトランジスタQM)のチャネル幅Wの比を1:n(n=1000)としてカレントミラー回路を構成する場合は、(第1半導体素子のドレイン電流I<sub>DQA</sub>)=1000×(第2半導体素子のドレイン電流I<sub>DQB</sub>)となる。従って、第1半導体素子QAのドレイン電流としてI<sub>DA</sub>=5A、第2半導体素子QBのドレイン電流として

$I_{DQB} = 5\text{mA}$ がそれぞれ流れているときは、第1半導体素子QA及び第2半導体素子QBのそれぞれのドレインソース間電圧 $V_{DS}$ と真のゲートソース間電圧 $V_{TGS}$ は一致する。即ち、 $V_{DSA} = V_{DSB}$ 、 $V_{TGS A} = V_{TGS B}$ となる。ここで、 $V_{DSA}$ 、 $V_{DSB}$ はそれぞれ第1半導体素子QA、第2半導体素子QBのドレインソース間電圧であり、 $V_{TGS A}$ 、 $V_{TGS B}$ はそれぞれ第1半導体素子QA、第2半導体素子QBの真のゲートソース間電圧である。

【0046】第1の接地抵抗R25を流れる電流値で、第2半導体素子QBの第2の主電極SBと接地間の電圧を割った値が、第2半導体素子QBに接続される基準抵抗 $R_r$ となる。従って、第2半導体素子QBの導通状態で、基準抵抗 $R_r$ は変化する。この基準抵抗 $R_r$ は、第4半導体素子Q22が不飽和領域で動作するので、第1の接地抵抗R25の値より大きくなる。

【0047】次に、3極管特性（オーミック特性）領域における本発明の負荷電流微分検出・制御回路の動作について説明する。第1半導体素子QAがオン状態に遷移すると、ドレイン電流 $I_{DQA}$ は回路抵抗で決まる最終

$$V_{DSA} = V_{TGS A} + V_{TGD} \quad \cdots \cdots (1)$$

$$V_{DSB} = V_{TGS B} + V_{TGD} \quad \cdots \cdots (2)$$

の関係があるから、

$$\begin{aligned} V_{DSA} - V_{DSB} &= V_{TGS A} - V_{TGS B} \\ &= (I_{DQA} - n \times I_{DQB}) / g_m \quad \cdots \cdots (3) \end{aligned}$$

となる。但し、 $g_m$ は第1半導体素子QAの伝達コンダクタンス、 $n$ は第1半導体素子QAと第2半導体素子QBとのチャネル幅の比である。従って、ドレインソース間電圧の差 $V_{DSA} - V_{DSB}$ を検出することにより、ドレイン電流の差 $(I_{DQA} - n \times I_{DQB})$ を得ることが出来る。

【0050】第2半導体素子QBのドレインソース間※

$$V_+ = V_{DSA} \times R1 / (R1 + R2) \quad \cdots \cdots (4)$$

が第2の比較器CMP2の“+”入力端子に入力されることになる。負荷側が正常状態の場合は、 $(R_r / n) < R$ となつて、 $V_+ < V_{DSB}$ となり、第1半導体素子QAは、オン状態を維持する。ここで、 $R$ は負荷抵抗の値である。負荷側が過負荷になると、 $(R_r / n) > R$ となり、更に、 $V_+ > V_{DSB}$ となると、3極管特性領域で、第1半導体素子QAがターン・オフする。第1半導体素子QA及び第2半導体素子QBのそれぞれのソース電位を $V_{SA}$ 、 $V_{SB}$ とすると、第1半導体素子QAがオフ後、ソース電位 $V_{SA}$ 、 $V_{SB}$ は、GNDに向かって低下して行くので、 $V_{DSA}$ 、 $V_{DSB}$ とも増加する。ソース電位 $V_{SA}$ 、 $V_{SB}$ が、GND電位に至る前に、 $V_+ < V_{DSB}$ の条件が成立して、再び第1半導体素子QAがターン・オンする。第1半導体素子QAは、オン状態に遷移した直後は、5極管特性領域（ピンチオフ領域）にあり、その後3極管特性領域に向かってオン状態を続けて行き、 $V_+ > V_{DSB}$ になるとターンオフ

\*負荷電流値を目指して立ち上がって行く。また、第1半導体素子QAの真のゲートソース間電圧 $V_{TGS A}$ は、ドレイン電流 $I_{DQA}$ で決まる値を取り、ドレインソース間電圧 $V_{DSA}$ の低下によるコンデンサ容量 $C_{GD}$ のミラー効果でブレーキをかけられながら、これも立ち上がって行く。 $V_+ = V_-$ の場合、第2の接地抵抗R24における電圧降下は、負荷電流 $I_{DQA}$ に比例し、第4半導体素子Q22は、第2の接地抵抗R24と第5半導体素子Q21との接続点の電位をもとに、エミッタフォロアとして動作する。従って、 $R24 = R25$ とすると、第1の接地抵抗R25の電圧降下は、第2の接地抵抗R24の電圧降下よりも、第4半導体素子Q22のベースエミッタ間電圧 $V_{BE}$ 分だけ低下する。従って、 $I_{DQA} / 1000$ よりもよりも、若干少な目の電流が第2半導体素子QBに流れることになる。

【0048】また、第1半導体素子QAの真のゲートソース間電圧 $V_{TGS A}$ は、ドレイン電流 $I_{DQA}$ の増加に応じて大きくなって行く。

【0049】

$$\cdots \cdots (1)$$

$$\cdots \cdots (2)$$

※電圧 $V_{DSB}$ は、抵抗R14を介して、第2の比較器CMP2の“-”入力端子に入力される。また、第1半導体素子QAのドレインソース間電圧 $V_{DSA}$ はR1と抵抗R2で分圧した値 $V_+$ が、抵抗R5を介して、第2の比較器CMP2の“+”入力端子に入力される。即ち、

$$\cdots \cdots (4)$$

する。これが、オン／オフ動作の1サイクルである。一旦ターンオフすると、オフ状態を維持し、逆に、一旦ターンオンすると、オン状態を維持するのは、負荷回路のインダクタンスによる。負荷回路のインダクタンスは、電流が変化するとき、抵抗と等価な働きをする。電流が減少しているときは、インダクタンス等価抵抗の符号はマイナスとなつて、負荷側抵抗を減少させる。一方、電流が増加するとき、インダクタンス等価抵抗の符号がプラスとなつて、負荷側抵抗を増大させる。このために、第1半導体素子QAが、一旦ターンオフすると、オフ状態を維持し、ターンオンすると、オン状態を維持することになる。基準回路の第2半導体素子QB側は、第1の接地抵抗R25（ $= R_r$ ）が負荷抵抗 $R$ よりはるかに大きいので、インダクタンス効果は無視出来るほど小さい。このため、第2半導体素子QB側は、純抵抗回路として動作すると考えて良い。

【0051】なお、第2の比較器CMP2では、ダイオ

ードD1と抵抗R5でヒステリシスが形成されている。第1半導体素子QAがオフ状態に遷移したとき、駆動回路111のシンクトランジスタによりゲート電位は接地され、ダイオードD1のカソード側電位は、 $V_{SA}-0.7V$ （ツェナーダイオードZD1の順方向電圧）になるので、ダイオードD1が導通する。この結果、抵抗R1→抵抗R5→ダイオードD1の経路で電流が流れ、第2の比較器CMP2の“+”入力端子の信号レベル $V_+$ は、駆動回路111がオン制御しているときの上述の（4）式の値より大きくなる。従って、オフ状態に遷移した直後より小さい、特定のドレインソース間電圧の差 $V_{DSA}-V_{DSB}$ まで第1半導体素子QAはオフ状

$$V_{DSA_{th}}-V_{DSB}=R2/R1 \times V_{DSB} \quad \cdots \cdots (5)$$

である。3極管特性領域における過電流判定値は（5）式で決まることになる。

【0053】次に、5極管特性領域における動作について説明する。配線が正常な状態で、第1半導体素子QAがオン状態に遷移すると、第1半導体素子QAは連続的にオン状態を維持することとなる。このため、真のゲートソース間電圧 $V_{TGS_A}$ 、 $V_{TGS_B}$ がピンチオフ電圧に達した後は、第1半導体素子QA、第2半導体素子QB、第3半導体素子QCとも5極管特性領域で動作する。本発明の負荷電流微分検出・制御回路においては、第2半導体素子QBと第1半導体素子QA（主MOSトランジスタQM）のチャネル幅Wの比を1:nとしてカレントミラー回路を構成しているの、第2半導体※

$$\begin{aligned} V_{DSB} &= I_{DQB} \times R_{DS(ON)_B} \\ &= 5 \text{ [mA]} \times 30 \text{ [\Omega]} = 0.15 \text{ [V]} \end{aligned}$$

$$V_{DSA} = I_{DQA} \times 30 \text{ [m}\Omega\text{]} \quad \cdots \cdots (7)$$

$$V_{DSA}-V_{DSB} = 30 \text{ [m}\Omega\text{]} \times (I_{DQA}-5 \text{ [A]}) \quad \cdots \cdots (8)$$

である。

【0054】また、負荷に異常が発生して、ドレイン電流 $I_{DQA}$ が増加すると（8）式の値が大きくなり、過電流判定値を超えると第1半導体素子QAをオフ状態に遷移させる。この場合、ピンチオフ点を経由して、上記の3極管特性領域での動作状態を経て、オフ状態へ遷移する。そして、図1に示したダイオードD1と抵抗R5とによるヒステリシスにより、一定時間経過後に、第2の比較器CMP2の“+”入力端子の信号レベル $V_+$ が $V_{DSB}$ より小さくなり、第2の比較器CMP2の出力は“L”レベルから“H”レベルに変化して、第1半導体素子QAを再びオン状態に遷移させることとなる。こうして、第1半導体素子QAはオン状態及びオフ状態への遷移を繰り返して、最終的に遮断に至る。なお、遮断に至る前に、負荷が正常に復帰すれば、第1半導体素子QAは連続的にオン状態を維持するようになる。

【0055】本発明の負荷電流微分検出・制御回路は、図1に示すように、第1半導体素子QA中を流れる電流のほぼ1/nに相当した電流を、第2及び第3半導体素

※態を維持するが、その後、更に $V_{DSA}$ が大きくなることにより、第2の比較器CMP2の“+”入力端子の信号レベル $V_+$ が、 $V_{DSB}$ より小さくなり、第2の比較器CMP2の出力は“L”レベルから“H”レベルに変化する。従って、第1半導体素子QAは再びオン状態に遷移させられることとなる。なお、ヒステリシス特性の付け方にはいろいろな方法があるが、これはその一例である。

【0052】第1半導体素子QAがオフ状態に遷移するときのドレインソース間電圧 $V_{DSA}$ をしきい値 $V_{DSA_{th}}$ とすると、次式が成立する。つまり、

※素子QBのオン抵抗 $R_{DS(ON)_B}$ は、第1半導体素子QAのオン抵抗 $R_{DS(ON)_A}$ のn倍である（ $R_{DS(ON)_B}=n \cdot R_{DS(ON)_A}$ ）。一方、同一バイアス条件ならば、第2半導体素子QBのドレイン電流 $I_{DQB}$ は、第1半導体素子QAのドレイン電流 $I_{DQA}$ の1/n倍である（ $I_{DQB}=(1/n) \cdot I_{DQA}$ ）。5Aクラスの半導体素子の代表的なオン抵抗 $R_{DS(ON)}$ を参考にすれば、例えば、第1半導体素子QAのオン抵抗 $R_{DS(ON)_A}$ を、ゲートソース間電圧 $V_{GS}=10V$ のとき、 $R_{DS(ON)_A}=30m\Omega$ であると仮定出来る。n=1000とすれば、この場合、第2半導体素子QBのオン抵抗 $R_{DS(ON)_B}$ は、30 $\Omega$ となる。従って、

$$\cdots \cdots (6)$$

$$\cdots \cdots (7)$$

$$\cdots \cdots (8)$$

子QB、QCに流すカレントミラー回路の並列接続で構成されている。これらの第2及び第3半導体素子QB、QCにはそれぞれ不飽和領域で動作するようにバイアスされたnpn型バイポーラ・トランジスタ（第4半導体素子）Q22とpnp型バイポーラ・トランジスタ（第5半導体素子）Q21が接続されている。そして、第1の比較器CMP1は、負荷102を流れるドレイン電流の変化が緩やかな場合は、その“+”入力端子に供給される電位 $V_+$ 及び“−”入力端子に供給される電位 $V_-$ がほぼ一致するように（ $V_+=V_-$ ）動作する。一方、負荷102を流れるドレイン電流が急激に増加した場合は、 $V_+<V_-$ となるような動作をする。この場合、コンデンサC23の存在により、電流上昇率 $di/dt$ の大小でその振るまいが異なる。即ち、

（イ）負荷102を流れる電流の電流上昇率 $di/dt$ が大きいとき：例えば、自動車のパワーウィンドウに腕が挟まれた時のように、負荷102を流れる電流が急激に上昇した場合を考える。このとき、第1半導体素子QAのドレインソース間電圧 $V_{DSA}$ が上昇し、ノード

N1の電位 $V_+$ がノードN2の電位 $V_-$ より低い値になれば、第1の比較器CMP1は“L”レベルを出力する。しかし、第1の比較器CMP1の出力端子にはダイオードD21と第1の抵抗R21との直列回路に並列接続された第2の抵抗R22とからなる並列回路が接続され、更にこの並列回路と接地電位(GND)との間にはコンデンサC23が接続されているので、コンデンサC23が抵抗R22を介して放電しなければ、pnp型バイポーラ・トランジスタ(第5半導体素子)Q21のベース電位は下がらない。このため、第1の比較器CMP1の出力が“L”レベルとなっても、pnp型バイポーラ・トランジスタ(第5半導体素子)Q21のベース電位は、直ちに下がらず、従って、npn型バイポーラ・トランジスタ(第4半導体素子)Q22のベース電位も、コンデンサC23が放電するまで上昇しない。即ち、第2半導体素子QBのソースSBの電位は、R22・C23に依存した所定の時定数 $\tau$ の間はほぼ一定である。しかし、第1半導体素子(第1半導体素子)QAのドレイン電流 $I_{DQA}$ は急激に増加し続けるので、

(4)式により与えられる $V_+$ は増加し、ついには第2半導体素子QBのドレイン-ソース間電圧 $V_{DSB}$ より大きくなる。この結果、第2の比較器CMP2の出力は“H”レベルから“L”レベルに変化して、第1半導体素子(第1半導体素子)QAをオフ状態に移させ、電流振動が開始し、最終的に、第1半導体素子(第1半導体素子)QAをオフ状態に固定する。

【0056】(ロ)負荷102を流れる電流の電流上昇率 $di/dt$ が小さいとき：例えば、自動車のパワーウィンドウが摩擦等により徐々に重くなり、負荷102を流れる電流が緩やかに上昇した場合を考える。負荷102を流れる電流が増加して、ノードN1の電位 $V_+$ が、ノードN2の電位 $V_-$ より低下すれば、第1の比較器CMP1は“L”レベルを出力する。第1の比較器CMP1の出力端子にはダイオードD21と第1の抵抗R21との直列回路に並列接続された第2の抵抗R22とからなる並列回路が接続され、更にこの並列回路と接地電位(GND)との間にはコンデンサC23が接続されているが、コンデンサC23が抵抗R22を介して放電する速度よりも、負荷102を流れる電流の電流上昇率 $di/dt$ が小さければ、時定数 $\tau$ 以内に、pnp型バイポーラ・トランジスタ(第5半導体素子)Q21のベース電位が下がる。この結果、pnp型バイポーラ・トランジスタ(第5半導体素子)Q21のコレクタ電流が増大し、npn型バイポーラ・トランジスタ(第4半導体素子)Q22のベース電位も上昇する。従って、第2半導体素子QBのソースSBの電位は時定数 $\tau$ を有して低下し、ドレイン-ソース間電圧 $V_{DSB}$ が上昇する。従って、(4)式により与えられる $V_+$ の上昇率を補償出来るので、第2の比較器CMP2の出力は“H”レベルを維持することが出来る。このため、電流の電流上昇率 $d$

$i/dt$ が小さいときは、電流振動が開始せず、正常動作を維持する。

【0057】なお、第1の比較器CMP1の出力が“L”レベルからH”レベルに移移するときは、ダイオードD21を電流が通過するので、第1の抵抗R21の値を十分小さくしておけば、コンデンサC23は瞬時に充電出来、従って、第1の比較器CMP1ノード(入力端子)N1、N2の電位にずれが発生せず、第2半導体素子QBのソースSBの電位は、変化に短時間で応答する。

【0058】(その他の実施の形態)上記のように、本発明は上記の実施の形態によって記載したが、この開示の一部を成す論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなる。

【0059】例えば、図3に示すような、電流上昇率識別回路312を用いることも可能である。即ち、図3に示す電流上昇率識別回路312は、第3の信号端子T35に一端が接続されるダイオードD21と第1の抵抗R21との直列回路に並列接続された可変抵抗(第2の抵抗)R32とからなる並列回路と、並列回路の他端と接地電位(GND)の間に接続された可変コンデンサC33と、第1の信号端子T37に第1の主電極を接続し、第2の主電極と接地電位との間に第1の接地抵抗R25を接続した第4半導体素子Q22と、第2の信号端子T36に第1の主電極、並列回路の他端に制御電極を接続し、第2の主電極を第4半導体素子Q22の制御電極に接続し、更に、第2の主電極と接地電位との間に第2の接地抵抗R24を接続した第5半導体素子Q21とから構成されている。電流上昇率識別回路312以外の部分については、図1と同様なので、重複する説明を省略する。

【0060】図3に示す電流上昇率識別回路312において、第3の信号端子T35に接続される並列回路に含まれる第2の抵抗を可変抵抗R32としておけば、任意の時定数 $\tau$ が選択出来る。或いは、第3の信号端子T35に接続される並列回路に接続されるコンデンサを可変コンデンサC33とすれば、任意の時定数 $\tau$ が選択出来る。従って、負荷102を流れる電流の電流上昇率 $di/dt$ が種々雑多な値を取る場合であっても、それに最適な電流遮断機能を持たせることが可能である。

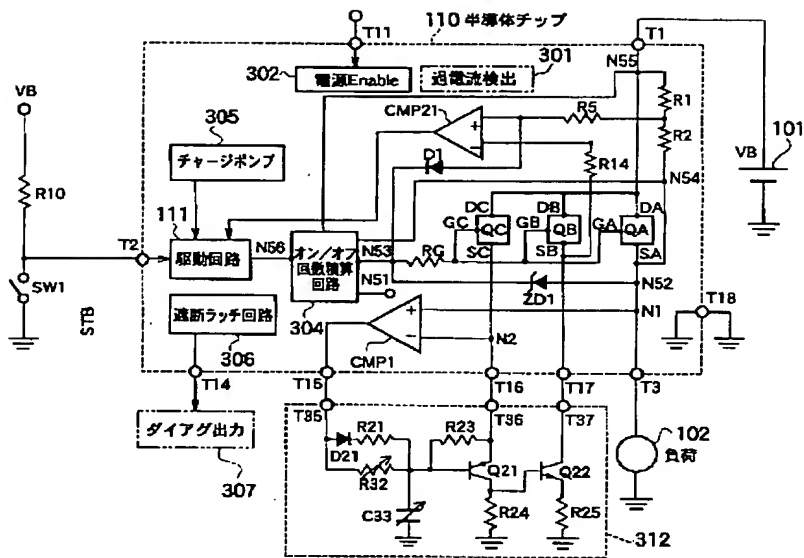
【0061】図3に示す電流上昇率識別回路312の構成は時定数 $\tau$ が連続的に変化出来るものであるが、複数の第2の抵抗及びコンデンサを用意し、スイッチで切り換えることにより、離散的な時定数 $\tau$ の値を選択することも可能である。即ち、対象とする負荷の特性、使用環境等に応じてしきい値となる電流上昇率 $di/dt$ を変更することにより、本発明の負荷電流微分検出・制御回路の汎用性を高めることが可能となるこのように、本発



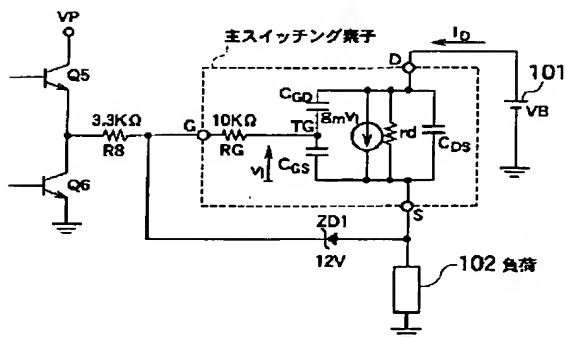




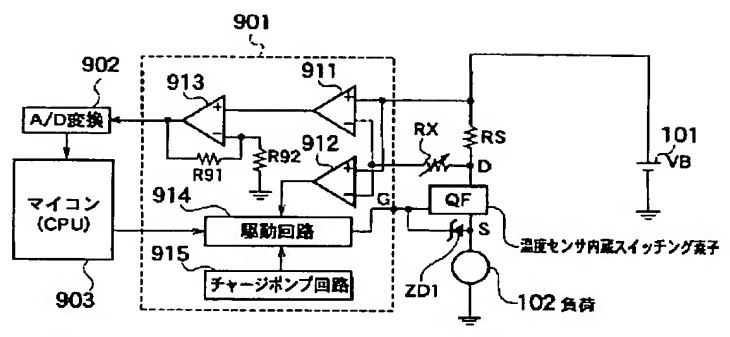
【図 3】



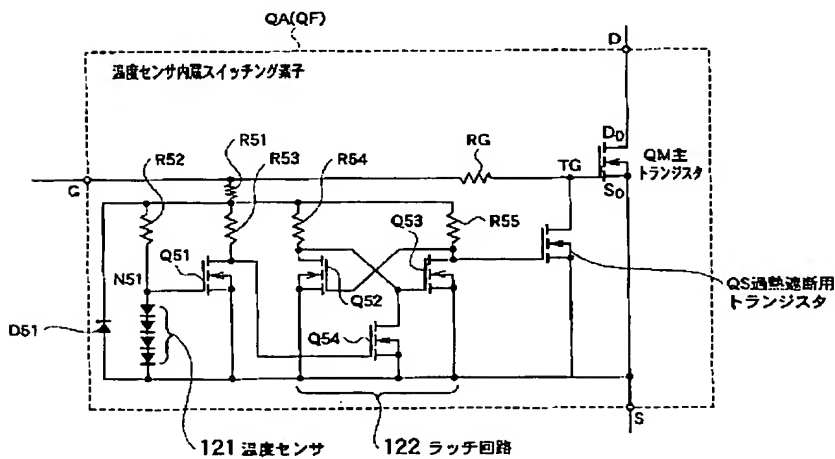
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

H03K 17/687

識別記号

F I

H03K 17/687

テーマコード (参考)

A